

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-335082

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

H04R 3/00
H04S 7/00

(21)Application number : 05-116193

(71)Applicant : SHARP CORP

(22)Date of filing : 18.05.1993

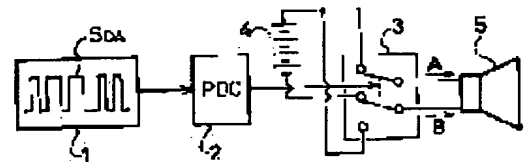
(72)Inventor : TAKAHASHI RYUTARO

(54) SPEAKER DRIVING DEVICE

(57)Abstract:

PURPOSE: To improve the quality of reproduced sounds and to miniaturize the shape of the entire device or to reduce cost.

CONSTITUTION: This device is provided with a PDC circuit 2 for generating a volume control signal by changing the pulse width of a clock signal in the case of providing a one-bit digital audio signal SDA with $\Delta\sigma$ modulation corresponding to setting at a volume circuit and for generating a switch control signal by changing the pulse width of the one-bit digital audio signal into the pulse width of the volume control signal. Further, the device is provided with a switching circuit 3 for generating a switching operation with the switch control signal, and constant voltage power source 4 for supplying power through this switching circuit 3 to a speaker 5. Thus, since the switching operation of the switching circuit 3 is controlled by the one-bit digital audio signal to which volume control information is applied, the constant voltage power source 4 fixes the constant output.



LEGAL STATUS

[Date of request for examination] 08.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2880372

[Date of registration] 29.01.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Japanese Publication for Unexamined Patent Application**No. 335082-1994 (Tokukaihei 6-335082)****A. Relevance of the above-identified Document**

This document has relevance to claim 5 of the present application.

B. Translation of the Relevant Passages of the Document

[WHAT IS CLAIMED IS]

[CLAIM 1]

A speaker driving device, comprising: duty control means for generating a sound control signal by varying a pulse width of a clock signal in obtaining a 1-bit digital audio data in accordance with $\Delta\Sigma$ modulation and for generating a switch control signal by changing a pulse width of the 1-bit digital audio signal to a pulse width of the sound control signal; switching means for performing a switching operation in response to the switch control signal; and a constant voltage power source for supplying power to a speaker via the switching means.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-335082

(43) 公開日 平成6年(1994)12月2日

| | | | | |
|---------------------------|-------|-----------|-----|--------|
| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 4 R 3/00 | 3 1 0 | | | |
| H 0 4 S 7/00 | | C 8421-5H | | |

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平5-116193

(22) 出願日 平成5年(1993)5月18日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 ▲高▼橋 竜太郎

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

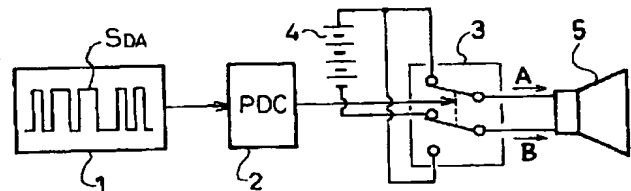
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 スピーカ駆動装置

(57) 【要約】

【構成】 $\Delta \Sigma$ 変調により1ビットデジタルオーディオ信号 S_{DA} を得る際のクロック信号のパルス幅をボリューム回路での設定に応じて変化させて音量制御信号を生成し、上記1ビットデジタルオーディオ信号のパルス幅を上記音量制御信号のパルス幅に変更して切換制御信号を発生するPDC回路2と、上記切換制御信号により切換動作を生じるスイッチング回路3と、このスイッチング回路3を介してスピーカ5に電力を供給する定電圧電源4とを備える。

【効果】 音量制御情報が付与された1ビットデジタルオーディオ信号によりスイッチング回路3での切換動作が制御されるので、定電圧電源4は出力一定の固定型のものとすることができる。これにより、再生音質を向上することが可能になると共に、装置全体の形状の小形化や低廉化を図ることができる。



(2)

【特許請求の範囲】

【請求項1】 $\Delta\Sigma$ 変調により1ビットデジタルオーディオ信号を得る際のクロック信号のパルス幅を音量設定手段での設定に応じて変化させて音量制御信号を生成し、上記1ビットデジタルオーディオ信号のパルス幅を上記音量制御信号のパルス幅に変更して切換制御信号を発生するデューティ制御手段と、上記切換制御信号により切換動作を生じるスイッチング手段と、このスイッチング手段を介してスピーカに電力を供給する定電圧電源とを備えていることを特徴とするスピーカ駆動装置。

【請求項2】 $\Delta\Sigma$ 変調により1ビットデジタルオーディオ信号を得る際のクロック信号におけるHレベルの区間とLレベルの区間との一方の区間に、音量設定手段での設定に応じたパルス幅の音量制御クロック信号を重畳させて合成クロック信号を生成するクロック信号合成手段と、上記合成クロック信号から音量制御クロック信号とクロック信号とを分離する分離手段と、分離された音量制御クロック信号に対応する基準電圧を発生する基準電圧発生手段と、分離されたクロック信号のパルス幅を上記基準電圧に基づいて変化させて音量制御信号を生成し、上記1ビットデジタルオーディオ信号のパルス幅を上記音量制御信号のパルス幅に変更して切換制御信号を発生するデューティ制御手段と、上記切換制御信号により切換動作を生じるスイッチング手段と、このスイッチング手段を介してスピーカに電力を供給する定電圧電源とを備えていることを特徴とするスピーカ駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、 $\Delta\Sigma$ 変調によって得られる1ビットデジタルオーディオ信号を供給することにより音声再生を行うデジタルドライブ型のスピーカの駆動装置に関するものである。

【0002】

【従来の技術】従来のオーディオ信号の再生は、図11に示すように、アナログオーディオ信号源50から送られてくるアナログオーディオ信号 S_A をアナログパワーアンプ51によって増幅し、この増幅された信号をスピーカ52に供給することによって行われている。なお、このときの音量の調整は、アナログパワーアンプ51の入力段に設けられた可変抵抗器を設けて成るボリューム回路53でアナログオーディオ信号 S_A の波高値を調整することによって行われる。

【0003】一方、近年では、再生音質の向上等を目的として、デジタル信号処理技術が採用されている。その一例として、例えば特開平3-239097号公報には、デジタル信号に変換してスピーカユニットへと伝送するオーディオ再生装置が記載されている。すなわち、その装置では、アナログオーディオ信号をA/D変換器でデジタル化し、この信号をスピーカユニットへと伝送する。この信号は、D/A変換器でアナログオーディ

2

オ信号に復調されて、スピーカに供給される。このような構成により、スピーカケーブル等を通してオーディオ信号を伝送する際の伝送損失を低減し、音質を向上するようになっている。

【0004】しかしながら、上記公報記載の装置においても、スピーカの前段には、前記したアナログパワーアンプ52と同様のアンプを設けることが必要であり、これらアナログパワーアンプで大きな発熱を生じるという不具合を有している。

10 【0005】ところで、本願出願人等は、 $\Delta\Sigma$ 変調によって得られる1ビットデジタルオーディオ信号を直接供給することによって、音声再生を行い得るデジタルドライブ型のスピーカ（以下、デジタルスピーカという）の駆動装置を先に提案した（特願平4-153630号参照）。その装置は、図12に示すように、1ビットデジタルオーディオ信号源60から、アナログオーディオ信号を $\Delta\Sigma$ 変調することによって得られる1ビットデジタルオーディオ信号 S_{DA} がスイッチング回路61に、そのスイッチング動作の制御信号として入力される。スイッチング回路61には可変定電圧電源62とスピーカ63とが接続されている。

20 【0006】上記1ビットデジタルオーディオ信号 S_{DA} は、 $\Delta\Sigma$ 変調により、所定のサンプリング周波数のクロック信号の周期を単位パルス幅として、アナログオーディオ信号の振幅に応じてパルス密度変調（PDM）された信号であり、この信号のH/Lの切り替わりによって、可変定電圧電源62からスイッチング回路61を介してスピーカ63のボイスコイルに流れる電流の向きが切り換えられ、また、1ビットデジタルオーディオ信号 S_{DA} を増幅した電力が可変定電圧電源62からスピーカ63に供給される。

【0007】このとき、スピーカ63の振動板が、音響的なローパスフィルタ、すなわち、デジタルオーディオ信号をアナログ信号に変換するためのフィルタとしての役割を果たし、これによって、アナログ再生が行われる。なお、再生音量のコントロールは、可変定電圧電源63での出力電圧を調整することにより行われる。

40 【0008】上記装置においては、D/A変換器と共に、前記したアナログパワーアンプも不要にでき、これによって、従来よりも装置全体の発熱量を低減することが可能となる。

【0009】

【発明が解決しようとする課題】しかしながら、上記したスピーカ63を1ビットデジタルオーディオ信号 S_{DA} に基づいて駆動する装置においては、所要の最大出力を備えると共に出力可変の定電圧電源62が、再生音量のコントロールのために必要となっている。このような可変型の定電圧電源62においては、所定の可変電圧範囲の全体にわたって安定した出力電圧が得難く、また、構成が複雑となって形状が大形化し、かつ、高価なもの

50

(3)

3

なる。このため、再生音質の向上や、装置全体のコンパクト化・低廉化を必ずしも充分には図れないという問題を有している。

【0010】本発明は、上記の事情に鑑みなされたものであって、可変型の定電圧電源が不要であり、これによって、再生音質の向上や、装置全体のコンパクト化・低廉化を図り得ると共に、さらに、全体の構成をより簡素なものとなし得るスピーカ駆動装置を提供することを目的にしている。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の請求項1記載のスピーカ駆動装置は、 $\Delta\Sigma$ 変調により1ビットデジタルオーディオ信号を得る際のクロック信号のパルス幅を音量設定手段での設定に応じて変化させて音量制御信号を生成し、上記1ビットデジタルオーディオ信号のパルス幅を上記音量制御信号のパルス幅に変更して切換制御信号を発生するデューティ制御手段と、上記切換制御信号により切換動作を生じるスイッチング手段と、このスイッチング手段を介してスピーカに電力を供給する定電圧電源とを備えていることを特徴としている。

【0012】また、請求項2記載のスピーカ駆動装置は、 $\Delta\Sigma$ 変調により1ビットデジタルオーディオ信号を得る際のクロック信号におけるHレベルの区間とLレベルの区間との一方の区間に、音量設定手段での設定に応じたパルス幅の音量制御クロック信号を重畳させて合成クロック信号を生成するクロック信号合成手段と、上記合成クロック信号から音量制御クロック信号とクロック信号とを分離する分離手段と、分離された音量制御クロック信号に対応する基準電圧を発生する基準電圧発生手段と、分離されたクロック信号のパルス幅を上記基準電圧に基づいて変化させて音量制御信号を生成し、上記1ビットデジタルオーディオ信号のパルス幅を上記音量制御信号のパルス幅に変更して切換制御信号を発生するデューティ制御手段と、上記切換制御信号により切換動作を生じるスイッチング手段と、このスイッチング手段を介してスピーカに電力を供給する定電圧電源とを備えていることを特徴としている。

【0013】

【作用】上記請求項1記載のスピーカ駆動装置においては、クロック信号から、音量設定手段での設定に応じてパルス幅を変化させた音量制御信号が生成され、次いで、上記音量制御信号のパルス幅に1ビットデジタルオーディオ信号のパルス幅が変更されて、スイッチング手段に入力される。

【0014】つまり、音量を小さくするように音量設定手段での設定が行われるときには、1ビットデジタルオーディオ信号は、パルス幅を小さくした信号に変更されてスイッチング手段に入力され、これによって、定電圧電源からスイッチング手段を介してスピーカへ供給され

4

る電力の供給期間は、上記パルス幅に応じた短い期間に制限される。この結果、スピーカからは小さい音量での音声再生が行われる。

【0015】一方、音量を大きくするような設定が行われるときには、1ビットデジタルオーディオ信号は、上記よりも大きなパルス幅に変更されてスイッチング手段に入力され、これによって、定電圧電源からのスピーカへの電力供給期間は上記よりも長くなり、この結果、スピーカからは大きい音量での音声再生が行われる。

10 【0016】このように、上記構成では、1ビットデジタルオーディオ信号に、さらに、音量制御情報が付与され、これによって、スイッチング手段での切換動作が制御されるようになっているので、スイッチング手段に接続する定電圧電源は、出力一定の固定型のものとすることができる。このため、前記した可変型の定電圧電源を設けて構成する場合に比べ、固定型の定電圧電源ではその出力電圧の安定化を図り易く、これにより、再生音質を向上することが可能になると共に、装置全体の形状の小形化や低廉化を図ることが可能になる。

20 【0017】請求項2記載のスピーカ駆動装置においては、クロック信号合成手段にて、クロック信号に、音量設定手段での設定に応じたパルス幅の音量制御クロック信号を重畳させて合成クロック信号が生成され、この合成クロック信号が分離手段に送られると、この分離手段にて音量制御クロック信号とクロック信号とに分離される。そして、分離された音量制御クロック信号に対応する基準電圧が基準電圧発生手段で発生され、以降は請求項1記載の装置と同様に、分離されたクロック信号を、上記基準電圧に応じてパルス幅を変化させた音量制御信号が生成される。次いで、上記音量制御信号のパルス幅に1ビットデジタルオーディオ信号のパルス幅が変更されて、スイッチング手段に入力されてそのスイッチング動作が制御されることによって、スピーカでの音声再生が行われる。

30 【0018】すなわち、上記では、請求項1記載の装置と同様に、スイッチング手段に接続する定電圧電源を、出力一定の固定型のものとすることができることにより、再生音質の向上や、装置全体の小形化・低廉化を図ることが可能であることに加え、音量設定手段での設定に応じた音量制御情報がクロック信号に重畳されてスピーカ側へと送られるようになっているので、音量設定手段側とスピーカ側とを互いに離して設置する場合でも、両者を接続する信号伝送系には音量制御信号に固有の信号伝送線は不要であり、このため、全体の構成をより簡素なものとするができる。

【0019】

【実施例】〔実施例1〕本発明の一実施例について図1ないし図4に基づいて説明すれば、以下の通りである。

50 【0020】本実施例のスピーカ駆動装置は、図1に示すように、1ビットデジタルオーディオ信号源1から、

5

後述する1ビットデジタルオーディオ信号 S_{DA} が入力されるパルスデューティコントロール回路（以下、PDC回路という）2を備えている。このPDC回路2（デューティ制御手段）の出力は、スイッチング回路（スイッチング手段）3におけるスイッチング動作を制御する切換制御信号として、このスイッチング回路3に入力される。スイッチング回路3には、定電圧電源4とスピーカ5とが接続されており、定電圧電源4からスピーカ5のボイスコイルにスイッチング回路3を介して駆動電力の供給が行われる。

【0021】上記1ビットデジタルオーディオ信号 S_{DA} は、 $\Delta\Sigma$ 変調により、図2（a）に示すようなアナログオーディオ信号 S_A から、所定のサンプリング周波数のクロック信号（以下、ビットクロック CK という）の周期を単位パルス幅として、同図（b）に示すように、アナログオーディオ信号 S_A の振幅に応じてパルス密度変調（PDM）された信号である。

【0022】PDC回路2には、上記の1ビットデジタルオーディオ信号 S_{DA} とビットクロック CK とが入力される。このPDC回路2は、図3に示すように、直流ノイズ成分を除去する第1結合コンデンサ11を通して上記ビットクロック CK が入力される第1積分器12と、この第1積分器12の出力が信号入力端子に入力される第1コンパレータ13と、この第1コンパレータ13の出力が各々一方の入力端子に入力される第1・第2のAND回路14・15とを備えている。

【0023】第1コンパレータ13の基準電圧入力端子には、ボリューム回路16で可変される基準電圧 V_T が入力されるようになっている。一方、第1AND回路14における他方の入力端子には前記の1ビットデジタルオーディオ信号 S_{DA} が、また、第2AND回路15における他方の入力端子には、1ビットデジタルオーディオ信号 S_{DA} がNOT回路17を通して入力される。

【0024】上記構成のPDC回路2における信号の処理について、図4に基づいて説明する。

【0025】第1積分器12に入力されるビットクロック CK は、同図（a）に示すような矩形波信号であり、このビットクロック CK が第1積分器12で積分されることにより、この第1積分器12から、同図（b）に示すように、ビットクロック CK と同周期の三角波 CK_{IT} が出力される。この三角波 CK_{IT} が第1コンパレータ13で前記基準電圧 V_T と比較され、この第1コンパレータ13からは、ビットクロック CK におけるパルス幅が上記基準電圧 V_T に応じて変更された音量制御信号としてのデューティ制御クロック CK_D が出力される。

【0026】すなわち、上記基準電圧 V_T が、同図（b）における一点鎖線で示すように比較的高い電圧 V_1 である場合には、三角波 CK_{IT} の電圧レベルがこの基準電圧 V_1 を超える区間に対応して、同図（c）に示すように、パルスデューティの小さいデューティ制御クロ

(4)

6

ック CK_{D1} が第1コンパレータ13から出力される。一方、上記基準電圧 V_T が、同図（b）における二点鎖線で示すように比較的低い電圧 V_2 である場合には、同図（d）に示すように、パルスデューティの大きなデューティ制御クロック CK_{D2} が出力される。これらデューティ制御クロック CK_{D1} ・ CK_{D2} が、前記第1・第2AND回路14・15に各々入力される。

【0027】第1AND回路14の他方の入力端子には、同図（e）に示す1ビットデジタルオーディオ信号 S_{DA} が入力されている。したがって、第1コンパレータ13から、パルスデューティの小さいデューティ制御クロック CK_{D1} が出力されるときには、同図（g）に示すように、1ビットデジタルオーディオ信号 S_{DA} におけるHレベルの区間を、上記デューティ制御クロック CK_{D1} のパルス列に置き換えた+1ビット信号 S_{+B1} が第1AND回路14から出力される。

【0028】また、第2AND回路15の他方の入力端子には、NOT回路17を通して1ビットデジタルオーディオ信号 S_{DA} が反転された同図（f）に示す信号 S_{-DA} が入力されており、したがって、この第2AND回路15からは、同図（h）に示すように、1ビットデジタルオーディオ信号 S_{DA} におけるLレベルの区間を、上記デューティ制御クロック CK_{D1} のパルス列に置き換えた-1ビット信号 S_{-B1} が出力される。

【0029】一方、第1コンパレータ13から、パルスデューティの大きいデューティ制御クロック CK_{D2} が出力されるときには、上記同様に、第1AND回路14から、同図（i）に示すように、1ビットデジタルオーディオ信号 S_{DA} におけるHレベルの区間を、上記デューティ制御クロック CK_{D2} のパルス列に置き換えた+1ビット信号 S_{+B2} が出力されると共に、第2AND回路15から、同図（j）に示すように、1ビットデジタルオーディオ信号 S_{DA} におけるLレベルの区間を、上記デューティ制御クロック CK_{D2} のパルス列に置き換えた-1ビット信号 S_{-B2} が出力される。

【0030】上記のように、ボリューム回路16での設定電圧 V_T に応じて、1ビットデジタルオーディオ信号 S_{DA} からパルス幅が変更された+1ビット信号 S_{+B} （ S_{+B1} ・ S_{+B2} ）および-1ビット信号 S_{-B} （ S_{-B1} ・ S_{-B2} ）がPDC回路2から切換制御信号として出力され、これらが、図1に示すように、スイッチング回路3に供給される。

【0031】スイッチング回路3はFETやサイリスタ等の高速のスイッチング素子から成っており、+1ビット信号 S_{+B} が“H”のときにスピーカ5のボイスコイルに順方向の向き（図においてA方向）で、また、-1ビット信号 S_{-B} が“H”のときにスピーカ5のボイスコイルに逆方向の向き（図においてB方向）で、それぞれ定電圧電源3からの電流が流れるように、接点の切換が制御される。

(5)

7

【0032】これにより、スピーカ5で音声の再生が行われると共に、このスピーカ5への通電時間が、前述のように、ボリューム回路16での設定に応じてパルス幅の変更された+1ビット信号 S_{+B} および-1ビット信号 S_{-B} の各“H”区間に対応することによって、音量も、前記ボリューム回路16での設定に応じて制御される。すなわち、パルスデューティの大きい+1ビット信号 S_{+B2} ・-1ビット信号 S_{-B2} でスイッチング回路3の切換が制御されるときの方が、パルスデューティの小さい+1ビット信号 S_{+B1} ・-1ビット信号 S_{-B1} で制御されるときよりも、より多くの電流がスピーカ5のボイスコイルに流れることとなり、これによって、スピーカ5から出力されるとき音量が大きくなる。

【0033】このように、本実施例では、ビットクロックCKから、ボリューム回路16での設定に応じてパルス幅を変化させたデューティ制御クロックCK_Dを生成し、このパルス幅に1ビットデジタルオーディオ信号S_{DA}のパルス幅を変更して、スイッチング回路3のスイッチング動作を制御するようになっている。

【0034】すなわち、上記構成では、1ビットデジタルオーディオ信号S_{DA}にさらに音量制御情報を付与し、これによって、スイッチング回路3での切換動作を制御するようになっているので、前述の定電圧電源4は、出力一定の固定型のものでも構成することができる。このため、その出力電圧の安定化を図り易く、これにより、再生音質を向上することが可能となり、また、装置全体の形状の小形化や低廉化を図ることが可能になる。

【0035】〔実施例2〕本発明の他の実施例について、図5ないし図10を参照して説明する。なお、説明の便宜上、前記実施例の図面で示した部材と同一の機能を有する部材には、同一の符号を付してその詳細な説明を省略する。

【0036】本実施例においては、図5に示すように、1ビットデジタルオーディオ信号源1側にボリュームコントロール回路21を設ける一方、スピーカ5に、前記同様のPDC回路2およびスイッチング回路3と共に、さらに信号分離回路22を備える信号処理部23を設けている。つまり、音量の調整がスピーカ5側から離れたユニットにて行われる構成を前提とし、上記ボリュームコントロール回路21と信号処理部23との間に、1ビットデジタルオーディオ信号S_{DA}と、ボリュームコントロール回路21で生成される後述する音量制御情報とを伝送するオーディオ信号伝送ライン24が設けられている。

【0037】クロック信号合成手段としての上記ボリュームコントロール回路21は、図6に示すように、第2積分器31、この第2積分器31の出力が信号入力端子に入力される第2コンパレータ32、この第2コンパレータ32の出力が一方の入力端子に入力されるOR回路33を備えている。第2コンパレータ32の比較電圧入

8

力端子には、前記実施例同様のボリューム回路16で可変される比較電圧V_Rが入力される。

【0038】第2積分器31には、第7図(a)に示す前記同様のビットクロックCKから、図示しない分周回路によって周波数を二倍とした同図(b)に示す二通倍クロックCK_{X2}が、図6の第2結合コンデンサ34を通して入力される。この二通倍クロックCK_{X2}が第2積分器31で積分されることによって、この第2積分器31から、図7(c)に示すように、二通倍クロックCK_{X2}と同周期の三角波CK_{2IT}が出力される。

【0039】上記三角波CK_{2IT}が第2コンパレータ32に入力されると、この第2コンパレータ32からは、ボリューム回路16で設定される比較電圧V_R（同図(c)における一点鎖線で示す電圧）との比較により、上記比較電圧V_Rの高低に応じてパルス幅が変化された音量制御クロック信号としての音量制御クロックCK_{VD}が、同図(d)に示すように出力される。

【0040】この音量制御クロックCK_{VD}と、同図(a)に示すビットクロックCKとが、図6に示すように、前記OR回路33に各々入力されることにより、このOR回路33からは、図7(e)に示すように、ビットクロックCKの“L”レベルの区間に、上記音量制御クロックCK_{VD}が重畳された合成クロック信号としての音量制御情報付加クロックCCKが出力される。

【0041】ボリュームコントロール回路21から出力される上記の音量制御情報付加クロックCCKと、前記1ビットデジタルオーディオ信号S_{DA}とが、オーディオ信号伝送ライン24を通して信号処理部23へと伝送される。

【0042】信号処理部23においては、まず、分離手段としての前記信号分離回路22にて、音量制御情報付加クロックCCKからビットクロックCKと音量制御クロックCK_{VD}との分離が行われる。この信号分離回路22は、図8に示すように、Dタイプ・フリップフロップを2回路内蔵するIC41と、このIC41からの出力Q₂が一方の入力端子に入力される第3AND回路、および、上記出力Q₂が第2NOT回路43を通して反転された反転出力(¬Q₂)が一方の端子に入力される第4AND回路44とを備えている。

【0043】上記IC41の第1Dタイプ・フリップフロップのクロック端子CLK₁に、図9(a)に示す前記同様の1ビットデジタルオーディオ信号S_{DA}が入力され、また、IC41の第2Dタイプ・フリップフロップのクロック端子CLK₂に、同図(b)に示す前記音量制御情報付加クロックCCKが入力される。そして、IC41における他の端子が図8に示すように各々接続されていることにより、このIC41の第2Dタイプ・フリップフロップの出力Q₂が、図9(c)に示すように、音量制御情報付加クロックCCKにおける各音量制御クロックCK_{VD}に対応するパルスの立上りでLレベル

(6)

9

からHレベルに、また、各ビットクロックCKに対応するパルスの立上りでHレベルからLレベルに変化するパルス列信号として得られるようになっている。

【0044】上記の出力 Q_2 が入力される第3AND回路42における他方の端子には、図8に示すように、遅延回路45を通して、音量制御情報付加クロックCCKが入力されている。この音量制御情報付加クロックCCKは、遅延回路45を通過することにより、図9(d)に示すように、同図(b)の音量制御情報付加クロックCCKよりも所定時間遅れた遅延クロックCCK'として第3AND回路44に入力され、この第3AND回路44から、出力 Q_2 と遅延クロックCCK'との論理積の演算により、同図(e)に示す音量制御クロックCKVDが分離されて出力される。

【0045】一方、第4AND回路44には、出力 Q_2 が第2NOT回路43で反転された図9(f)に示す反転出力($-Q_2$)と上記の遅延クロックCCK'とが入力される結果、同図(g)に示すビットクロックCKが分離されて出力される。

【0046】上記のように、信号分離回路22で音量制御情報付加クロックCCKから分離された音量制御クロックCKVDおよびビットクロックCKが、1ビットデジタルオーディオ信号 S_{DA} と共に、信号処理部23におけるPDC回路2に入力される。このPDC回路2は、図10に示すように、前記実施例とほぼ同様に構成されており、異なる点は、コンパレータ13の基準電圧入力端子に、ローパスフィルタ(基準電圧発生手段)48を通して上記音量制御クロックCKVDを入力する構成としている点である。

【0047】上記ローパスフィルタ48によって、音量制御クロックCKVDのDC成分が取り出され、この電圧 V_T が、第1コンパレータ13の基準電圧入力端子に入力される。この結果、前記ボリュームコントロール回路21におけるボリューム回路16での設定に応じて、第1コンパレータ13からは、前記実施例同様に、パルス幅が変化されたデューティ制御クロックCKDが出力され、さらに第1AND回路14および第2AND回路15から、前記した+1ビット信号 S_{+B} および-1ビット信号 S_{-B} が出力される。これらが、前記実施例同様の構成をなす図5のスイッチング回路3に入力されることにより、スピーカ5で、上記ボリューム回路16での設定に応じた音量で、音声の再生が行われる。

【0048】以上のように、本実施例においては、前記実施例同様に、スイッチング回路3の切換動作を、音量制御情報の付加された切換制御信号である+1ビット信号 S_{+B} および-1ビット信号 S_{-B} で制御するので、スイッチング回路3に接続する定電圧電源は、その出力が一定の固定型電源で構成することができる。

【0049】そして、本実施例では、ボリューム回路16での設定に応じた音量制御情報がビットクロックCK

10

に重畳されてスピーカ5側へと送られるようになっているので、ボリュームコントロール回路21とスピーカ5側とを互いに離して設置する場合でも、両者を接続するオーディオ信号伝送ライン24には音量制御信号に固有の信号伝送線は不要となる。このため、全体の構成をより簡素なものとするのが可能である。

【0050】

【発明の効果】以上のように、本発明の請求項1記載のスピーカ駆動装置は、 $\Delta\Sigma$ 変調により1ビットデジタルオーディオ信号を得る際のクロック信号のパルス幅を音量設定手段での設定に応じて変化させて音量制御信号を生成し、上記1ビットデジタルオーディオ信号のパルス幅を上記音量制御信号のパルス幅に変更して切換制御信号を発生するデューティ制御手段と、上記切換制御信号により切換動作を生じるスイッチング手段と、このスイッチング手段を介してスピーカに電力を供給する定電圧電源とを備えている構成である。

【0051】これにより、音量制御情報が付与された1ビットデジタルオーディオ信号によって、スイッチング手段での切換動作が制御されるので、スイッチング手段に接続する定電圧電源は、出力一定の固定型のものとすることができる。このような固定型の定電圧電源ではその出力電圧の安定化を図り易く、これにより、再生音質を向上することが可能になると共に、装置全体の形状の小形化や低廉化を図ることが可能になるという効果を奏する。

【0052】請求項2記載のスピーカ駆動装置は、 $\Delta\Sigma$ 変調により1ビットデジタルオーディオ信号を得る際のクロック信号におけるHレベルの区間とLレベルの区間との一方の区間に、音量設定手段での設定に応じたパルス幅の音量制御クロック信号を重畳させて合成クロック信号を生成するクロック信号合成手段と、上記合成クロック信号から音量制御クロック信号とクロック信号とを分離する分離手段と、分離された音量制御クロック信号に対応する基準電圧を発生する基準電圧発生手段と、分離されたクロック信号のパルス幅を上記基準電圧に基づいて変化させて音量制御信号を生成し、上記1ビットデジタルオーディオ信号のパルス幅を上記音量制御信号のパルス幅に変更して切換制御信号を発生するデューティ制御手段と、上記切換制御信号により切換動作を生じるスイッチング手段と、このスイッチング手段を介してスピーカに電力を供給する定電圧電源とを備えている構成である。

【0053】これにより、請求項1記載の装置と同様に、スイッチング手段に接続する定電圧電源を出力一定の固定型のものとすることができることにより、再生音質の向上や、装置全体の小形化・低廉化を図ることが可能であることに加え、音量設定手段での設定に応じた音量制御情報がクロック信号に重畳されてスピーカ側へと送られるようになっているので、音量設定手段側とスピ

(7)

11

一カ側とを互いに離して設置する場合でも、両者を接続する信号伝送系には音量制御信号に固有の信号伝送線は不要であり、このため、全体の構成をより簡素なものとすることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例におけるスピーカ駆動装置の概略構成を示すブロック図である。

【図2】図1のスピーカ駆動装置において処理される1ビットデジタルオーディオ信号と原アナログオーディオ信号との関係を示す波形図である。

【図3】図1のスピーカ駆動装置におけるPDC回路の内部構成を示すブロック図である。

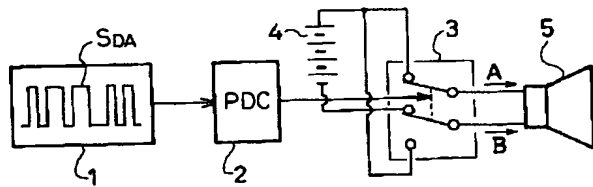
【図4】図3のPDC回路において処理される信号の波形を示すタイミングチャートである。

【図5】本発明の他の実施例におけるスピーカ駆動装置の概略構成を示すブロック図である。

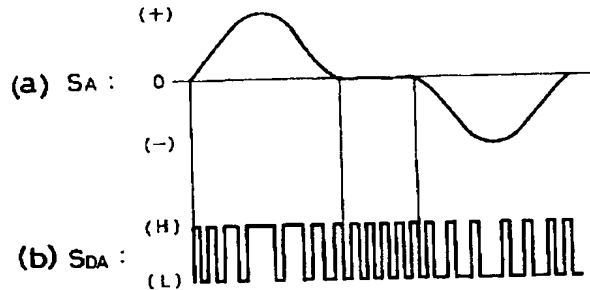
【図6】図5のスピーカ駆動装置におけるボリュームコントロール回路の構成を示すブロック図である。

【図7】図6のボリュームコントロール回路で処理される信号の波形を示すタイミングチャートである。

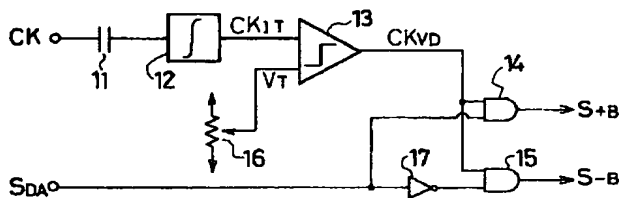
【図1】



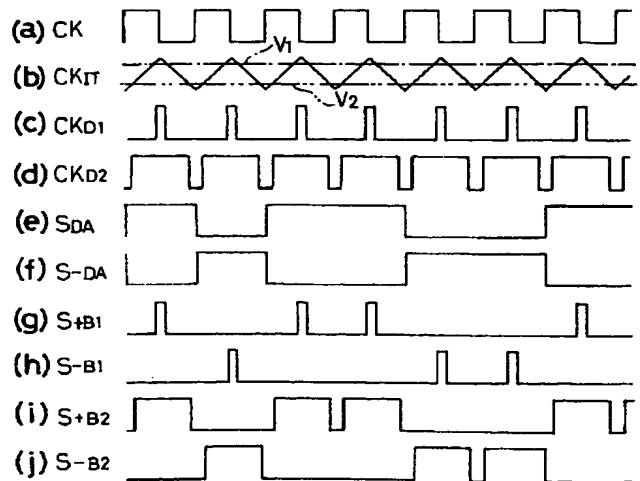
【図2】



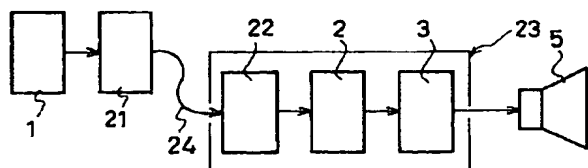
【図3】



【図4】

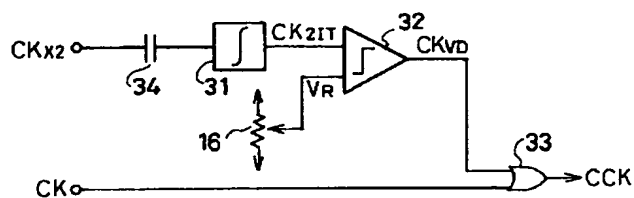


【図5】

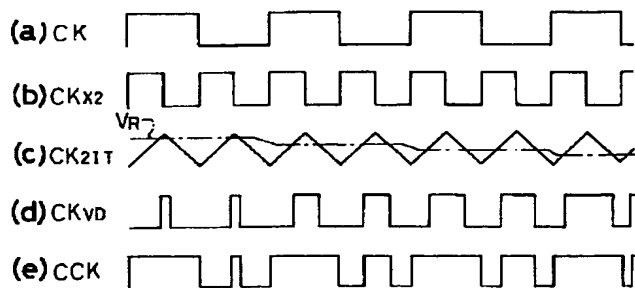


(8)

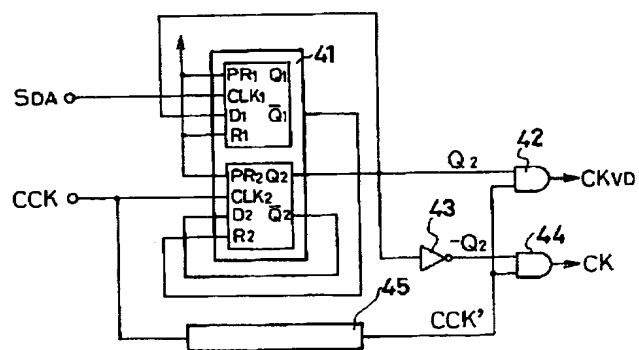
【図6】



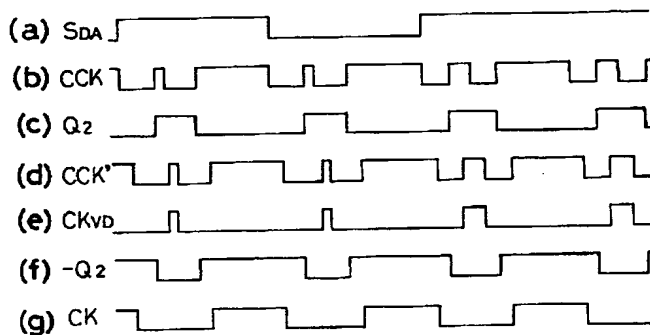
【図7】



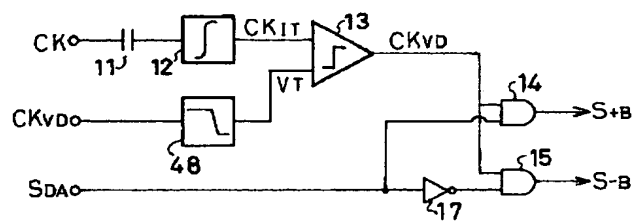
【図8】



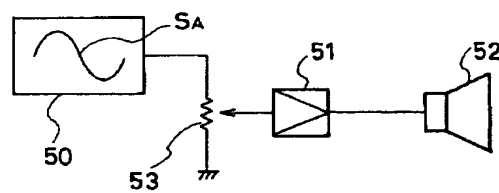
【図9】



【図10】



【図11】



【図12】

